

# Микросхемы базовых серий “МУЛЬТИКОР”. Сигнальный микроконтроллер 1892ВМ2Т (МС-24)

Серийная микросхема сигнального микроконтроллера 189ВМ2Т (МС-24) спроектирована отечественным дизайн-центром ГУП НПЦ “ЭЛВИС” совместно с центрами проектирования “АНГСТРЕМ-М” (топологическое проектирование) и “АНГСТРЕМ-СБИС” (разработка блока PLL) и изготовлена по 0,25-мкм/5 металлов/3,3-В технологии на зарубежной фабрике. Чип содержит два процессорных ядра, имеет размер 10 x 10 мм, интеграцию 18 млн. транзисторов и обеспечивает пиковую производительность при нормальных условиях, равную 600 MFLOPs. На сегодняшний день МС-24 является самым производительным отечественным процессором обработки сигналов.

Статья подготовлена коллективом авторов в составе: Т.В. Солохина, Я.Я. Петричкович, Ю.Н. Александров, А.В. Глушков, Ю.М. Герасимов, И.В. Заболотнов, М.Н. Алексеев, А.А. Беляев, Ю.И. Грибов, В.Д. Глушков, В.Ф. Никольский, В.А. Силин, А.А. Крымов, О.А. Тимофеев, Ю.В. Миронова, Р.Н. Перекин, А.В. Кучинский, А.А. Чупринов, Р.А. Грачев.

Микросхема сигнального микроконтроллера 1892ВМ2Т (“МС-24”) спроектирована как однокристалльная двухпроцессорная “система на кристалле” на базе IP-ядерной (IP — Intellectual Property) платформы “МУЛЬТИКОР”, разработанной в ГУП НПЦ “ЭЛВИС”. Сокращение “МС-24” соответствует обозначению серии сигнальных контроллеров “Мультикор (Multicore)”, в которую входит и микросхема 1892ВМ2Т.

На рис. 1 представлено фото первых серийных микросхем серии “Мультикор”: 1892ВМ3Т (МС-12) и 1892ВМ2Т (МС-24), поставляемых НПЦ “ЭЛВИС” заказчиком.

По принятой классификации СБИС, разрабатываемых на базе платформы “МУЛЬТИКОР”, микросхема 1892ВМ2Т (МС-24) относится к сигнальным контроллерам миниконфигурации с плавающей и фиксированной точкой. В качестве двух процессоров МС-24 содержит 32-разрядный центральный процессор (CPU — Central Processing Unit) и высокопроизводительный процессор-акселератор для цифровой обработки сигналов (DSP — Digital Signal Processing) с плавающей/

фиксированной точкой, обеспечивающий обработку информации с переменными форматами данных от битовых форматов до стандартного формата с плавающей точкой IEEE754.

Микросхема 1892ВМ2Т (МС-24) реализована на основе трех программируемых интеллектуальных ядер из библиотеки платформы “МУЛЬТИКОР” и включает:

- процессорное RISC-ядро RISCCore32™, поддерживающее архитектуру MIPS32™, которое реализует функции топ-контроллера “системы на кристалле” и обеспечивает основу для использования стандартного C-компилятора;
- программируемое DSP-ядро Elcore-24™ (Elcore = ELVEES’s core) с плавающей и фиксированной точкой и с уровнем производительности по операциям с плавающей точкой, который лидирующие зарубежные фирмы достигли лишь два-три года назад. Микросхема МС-24 конкурирует по производительности DSP-ядра с рядом 16(32)-разрядных процессоров обработки сигналов разработки ADI и TI, но имеет в своем составе стандартное RISC-ядро, что увеличивает ее функциональность;
- многоканальный интеллектуальный контроллер прямого доступа (DMA) с поддержкой режимов самосинхронизации ресурсов микросхемы и 32-разрядный по данным порт внешней памяти со встроенным SDRAM/FLASH/SRAM/ROM-контроллером, что позволяет поддерживать пиковую производительность на большинстве задач реального времени с интен-

сивными потоками данных (радиолокация, видео- и инфракрасные системы наблюдения, гидроакустика и др.).

Ядро DSP имеет RISC-подобную архитектуру, с точки зрения реализованного в нем 3-уровневого конвейера. Это обеспечивает выполнение почти всех операций ядра за один такт, кроме двухтактных переходов (если они исполняются).

Программирование на ассемблере для DSP-ядра выполняется достаточно быстро и эффективно, что подтверждено на практике многими пользователями микросхемы. Ведется разработка полного C (C++)-компилятора для микроконтроллеров серии “Мультикор”. Команда для DSP-ядра достаточно емкая, так как имеет длину 32 или 64 бита и напоминает с этой точки зрения VLIW (Very Long Instruction Word). Например, одна 64-разрядная инструкция для Elcore-24™ может выполнять две пары арифметических (логических) операций любой сложности и две пары пересылок типа регистр-память.

Это обеспечивает высокую плотность кодов для различных программ и позволяет реализовать различные функции обработки сигналов на МС-24, используя в несколько раз меньше команд (а, значит, и меньше время), чем для многих известных на рынке DSP-микросхем. Это обусловлено тем, что сравниваемые DSP имеют, к примеру, или огромную длину конвейера (10–12 уровней, как известный процессор TigerSHARC T201 разработки ADI), или низкую плотность кода. К примеру, число тактов для процедуры FFT-256 (комплексные 16-разрядные форматы данных и коэффициентов) в 8 раз короче для SISD-ядра Elcore-



**Рисунок 1** Микросхемы серийных сигнальных контроллеров серии “Мультикор”: 1892ВМ3Т (МС-12) и 1892ВМ2Т (МС-24)